

PATENT  
1248-0658P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: INOUE, Takahiro et al. Conf.:

Appl. No.: NEW Group:

Filed: July 8, 2003 Examiner:

For: CURRENT MIRROR CIRCUIT AND OPTICAL SIGNAL CIRCUIT USING SAME

L E T T E R

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

July 8, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

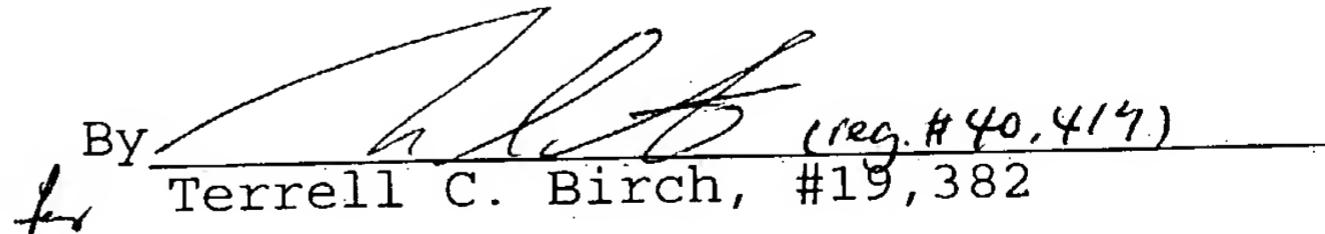
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-201322	July 10, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By   
Terrell C. Birch, #19,382  
*(reg. #40,417)*

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

TCB/sll  
1248-0658P

Attachment(s)

(Rev. 04/29/03)

出願人履歴情報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社

日本国特許庁  
JAPAN PATENT OFFICE

Inoue, Takahiro et al.  
July 8, 2003  
BSKB, LIP  
703-205-8000  
1248-0658P  
1 of 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application: 2002年 7月10日

出願番号

Application Number: 特願2002-201322

[ ST.10/C ]:

[ JP2002-201322 ]

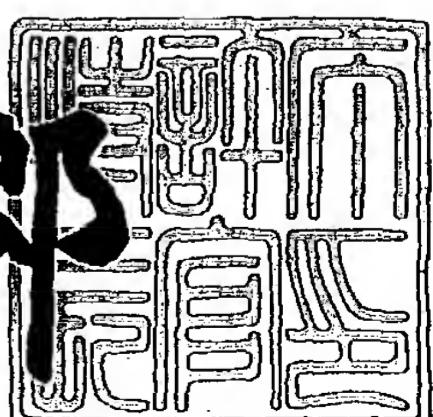
出願人

Applicant(s): シャープ株式会社

2003年 5月 6日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3032275

【書類名】 特許願  
 【整理番号】 02J01935  
 【提出日】 平成14年 7月10日  
 【あて先】 特許庁長官 及川 耕造 殿  
 【国際特許分類】 H01L 27/06  
                           H01L 27/08  
                           H01L 21/8222

## 【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株  
 式会社内  
 【氏名】 井上 高広

## 【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株  
 式会社内  
 【氏名】 横川 成一

## 【特許出願人】

【識別番号】 000005049  
 【氏名又は名称】 シャープ株式会社

## 【代理人】

【識別番号】 100080034  
 【弁理士】  
 【氏名又は名称】 原 謙三  
 【電話番号】 06-6351-4384

## 【選任した代理人】

【識別番号】 100113701  
 【弁理士】  
 【氏名又は名称】 木島 隆一

## 【選任した代理人】

【識別番号】 100115026

【弁理士】

【氏名又は名称】 圓谷 徹

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 カレントミラー回路およびそれを用いる光信号用回路

【特許請求の範囲】

## 【請求項1】

集積回路内に構成されるカレントミラー回路において、  
 カレントミラーの電流比に対応してエピタキシャル層の面積を調整することで  
 、寄生フォトダイオードの光電流による影響を除去することを特徴とするカレン  
 トミラー回路。

## 【請求項2】

カレントミラー部を構成し、ハイレベルの電源にエミッタがそれぞれ接続され  
 る一対のトランジスタQ1, Q2と、  
 前記トランジスタQ1, Q2の内、ベースとコレクタとが相互に接続されたダ  
 イオード構造である出力側のトランジスタQ2のコレクタ電流がエミッタに入力  
 され、ベースが前記入力側のトランジスタQ1のコレクタに接続され、コレクタ  
 から出力電流を流し出す出力トランジスタQ3とを備え、

前記トランジスタQ1, Q2の内、入力側のトランジスタQ1のコレクタから  
 信号源42によって電流が引抜かれ、

前記各トランジスタQ1～Q3は、P型サブストレート層上にN型エピタキシ  
 ャル層が積層されて成るP型トランジスタであり、前記各トランジスタQ1, Q  
 2, Q3のN型エピタキシャル層の面積をそれぞれS1, S2, S3とし、I2  
 /I1をカレントミラー部の電流比とするとき、

$$S3 = (I1/I2) * (S1 + S2)$$

に選ぶことを特徴とする請求項1記載のカレントミラー回路。

## 【請求項3】

前記信号源42と入力側のトランジスタQ1との間に、エミッタが前記入力側  
 のトランジスタQ1のコレクタに接続され、相互に接続されたベースとコレクタ  
 とが前記信号源42および出力トランジスタQ3のベースに接続されるP型トラン  
 ジスタから成る電圧均衡化トランジスタQ4をさらに備え、

前記電圧均衡化トランジスタQ4のN型エピタキシャル層の面積をS4とする

とき、

$$S_3 + S_4 = (I_{11}/I_{12}) * (S_1 + S_2)$$

に選ぶことを特徴とする請求項2記載のカレントミラー回路。

【請求項4】

カレントミラー部を構成し、ローレベルの電源にエミッタがそれぞれ接続される一対のトランジスタQ11, Q12と、

前記トランジスタQ11, Q12の内、ベースとコレクタとが相互に接続されたダイオード構造である出力側のトランジスタQ12のコレクタ電流をエミッタから供給し、ベースが前記入力側のトランジスタQ11のコレクタに接続され、コレクタから出力電流を吸い込む出力トランジスタQ13とを備え、

前記トランジスタQ11, Q12の内、入力側のトランジスタQ11のコレクタに信号源42から電流が流し込まれ、

前記各トランジスタQ11, Q12, Q13は、P型サブストレート層上にN型エピタキシャル層が積層されて成るN型トランジスタであり、前記各トランジスタQ11, Q12, Q13のN型エピタキシャル層の面積をそれぞれS11, S12, S13とし、 $I_{12}/I_{11}$ をカレントミラー部の電流比とするとき、

$$S_{11} = (I_{11}/I_{12}) * (S_{12} + S_{13})$$

に選ぶことを特徴とする請求項1記載のカレントミラー回路。

【請求項5】

前記信号源42と入力側のトランジスタQ11との間に、エミッタが前記入力側のトランジスタQ11のコレクタに接続され、相互に接続されたベースとコレクタとが前記信号源42および出力トランジスタQ13のベースに接続されるN型トランジスタから成る電圧均衡化トランジスタQ14をさらに備え、

前記電圧均衡化トランジスタQ14のN型エピタキシャル層の面積をS14とするとき、

$$S_{11} + S_{14} = (I_{11}/I_{12}) * (S_{12} + S_{13})$$

に選ぶことを特徴とする請求項4記載のカレントミラー回路。

【請求項6】

前記出力トランジスタQ3, Q13を並列素子構成またはマルチコレクタ構造

とすることを特徴とする請求項2～5の何れかに記載のカレントミラー回路。

【請求項7】

前記請求項1～6の何れかに記載のカレントミラー回路を用いることを特徴とする光信号用回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、集積回路内に形成されるカレントミラー回路に関し、さらにそのカレントミラー回路を備えた集積回路から成り、発光ダイオードやフォトダイオードなどの電気-光変換素子や光-電気変換素子に近接して設けられる光信号用回路に関する。

【0002】

【従来の技術】

赤外線リモコンの受信用IC、光ピックアップ信号受信用IC、LED駆動用IC等の前記発光ダイオードやフォトダイオードなどの電気-光変換素子や光-電気変換素子に近接して設けられる集積回路では、信号光による回折光や散乱光、さらに蛍光灯等のノイズ光によって、寄生フォトダイオードに光電流が発生し、回路誤動作の原因となる。特に、P型トランジスタでは、N型エピタキシャル層（ベース拡散層）の面積が大きいので、前記寄生フォトダイオードによる光電流でベース電流が増加し、回路の特性に大きな影響を与える。図7～図10を用いて、その様子を説明する。

【0003】

図7はP型トランジスタ1の構造を模式的に示す図であり、図8はその等価回路図である。P型のサブストレート層2上にN型エピタキシャル層3が積層され、そのN型エピタキシャル層3がトレンチ4によって分離されて各素子領域となる。そして、集積回路の構造上、前記N型エピタキシャル層3とサブストレート層2との間に寄生フォトダイオード5が発生し、該寄生フォトダイオード5がP型トランジスタ1のベース端子とサブストレート層2（接地）との間に接続されることになる。

## 【0004】

したがって、光入射によって、図7で示すようにN型エピタキシャル層3からサブストレート層2へ光電流 $I_{pd}$ が生じると、該光電流 $I_{pd}$ はP型トランジスタ1のベース電流として作用し、回路の特性に多大な影響を与える。この光電流 $I_{pd}$ は、入射光量に対応して増加するので、光電変換素子と近接して配置される場合に大きくなり、またN型エピタキシャル層3の面積Sに対応して増加するので、該P型トランジスタ1の電流容量が大きくなる程、大きくなる。

## 【0005】

同様に、図9はN型トランジスタ1の構造を模式的に示す図であり、図10はその等価回路図である。P型のサブストレート層12上にN型エピタキシャル層13が積層され、そのN型エピタキシャル層13がトレンチ14によって分離されて各素子領域となる。そして、前記N型エピタキシャル層13とサブストレート層12との間に寄生フォトダイオード15が発生し、該寄生フォトダイオード15がN型トランジスタ1のコレクタ端子とサブストレート層12（接地）との間に接続されることになる。

## 【0006】

したがって、光入射によって、図9で示すようにN型エピタキシャル層13からサブストレート層12へ光電流 $I_{pd}$ が生じると、該光電流 $I_{pd}$ はN型トランジスタ1のコレクタ電流をバイパスし、回路の特性に多大な影響を与える。この光電流 $I_{pd}$ は、入射光量に対応して増加し、またN型エピタキシャル層13の面積Sに対応して増加する。しかしながら、N型トランジスタ1はP型トランジスタ1に比べて電流駆動能力が大きく、前記N型エピタキシャル層13の面積Sを小さくでき、また発生する光電流がコレクタ電流に影響するので、電流増幅率分、その影響は小さいと考えられる。

## 【0007】

このような寄生フォトダイオード5、15による光電流の影響を低減する方法として、先ず素子表面を配線用メタルで覆い、該素子表面から侵入する光を遮断する方法がある。しかしながら、遮光できない部分であるチップ側面やチップエッジから侵入する光には充分な対策ができない場合があり、また最近では低コス

ト化のためにチップ面積の縮小やマスク枚数の削減が求められ、この配線用メタルによる遮光が充分行えなくなっている。さらにまた、省エネルギー化のために低消費電流化が進み、このような寄生フォトダイオードによる光電流の影響は相対的に増加する傾向にある。

#### 【0008】

そこで、前記寄生フォトダイオードによる光電流の影響を回路構成的に除去するようにした典型的な従来技術は、特許第2634679号公報で示される。図11は、その従来技術をカレントミラー回路に適用した場合の電気回路図である。このカレントミラー回路20は、一対のP型のトランジスタq1, q2から構成されるカレントミラーハブ21を備えている。前記トランジスタq1, q2のエミッタは共にハイレベルの電源に接続され、入力側のトランジスタq1はベースとコレクタとが相互に接続されたダイオード構造となっており、それらのベースおよびコレクタからは、信号源22によって、信号電流*i in*が引抜かれる。出力側のトランジスタq2のベースは前記トランジスタq1のベースおよびコレクタに接続される。したがって、前記出力側のトランジスタq2のコレクタからは、前記信号電流*i in*が、トランジスタq1, q2の電流比*i2/i1*で折返された出力電流*i out*が出力される。

#### 【0009】

そして、前記トランジスタq1, q2のN型エピタキシャル層の面積をそれぞれs1, s2とすると、これらのトランジスタq1, q2のベースから流れ出す光電流*i pd*は、

$$i_{pd} = (s_1 + s_2) * i_o \quad \dots (1)$$

となる。ただし、*i o*は、N型エピタキシャル層の単位面積当たりの光電流値である。

#### 【0010】

この光電流*i pd*を補償するために、一対のP型のトランジスタq3, q4から成るカレントミラーハブ23が設けられている。前記トランジスタq3, q4のエミッタは共にハイレベルの電源に接続され、入力側のトランジスタq3はベースとコレクタとが相互に接続されたダイオード構造となっており、出力側のトランジ

ンジスタq4のベースは前記トランジスタq3のベースおよびコレクタに接続される。したがって、前記出力側のトランジスタq4のコレクタからは、トランジスタq3, q4のベースから流れ出す光電流 $i_{pdc}$ を増幅した補償電流 $i_c$ が、出力され、前記トランジスタq1, q2のベースに与えられる。

## 【0011】

ここで、前記トランジスタq3, q4のN型エピタキシャル層の面積をそれぞれ $s_3, s_4$ とすると、前記光電流 $i_{pdc}$ は、

$$i_{pdc} = (s_3 + s_4) * i_o \quad \dots (2)$$

となる。

## 【0012】

したがって、簡単のため、トランジスタq3, q4のベース電流を無視する、すなわち電流増幅率 $h_{fe}$ を $\infty$ （無限大）と仮定し、各トランジスタq1, q2, q3, q4のN型エピタキシャル層の面積をそれぞれ $s_1, s_2, s_3, s_4$ とし、 $i_2/i_1$ および $i_4/i_3$ をカレントミラー部21, 23の電流比とすると、キルヒホップの法則から、

$$i_c = (i_4/i_3) * (s_3 + s_4) * i_o \quad \dots (3)$$

$$i_{out} = (i_2/i_1) * (i_{in} + (s_1 + s_2) * i_o - i_c) \quad \dots (4)$$

となり、両式から、

$$i_{out} = (i_2/i_1) * (i_{in} + ((s_1 + s_2) - (i_4/i_3) * (s_3 + s_4)) * i_o) \quad \dots (5)$$

となる。

## 【0013】

したがって、

$$(s_1 + s_2) = (i_4/i_3) * (s_3 + s_4) \quad \dots (6)$$

を満足するとき、トランジスタq1, q2の寄生フォトダイオードp<sub>d</sub>で発生した光電流 $i_{pd}$ を、トランジスタq3, q4の寄生フォトダイオードp<sub>d</sub><sub>c</sub>で発生した光電流 $i_c$ で相殺することができる。

## 【0014】

しかしながら、上述のようなカレントミラー回路20にも、下記(a), (b)の問題がある。

## 【0015】

(a) 出力トランジスタq2の出力インピーダンスが低いので、該出力トランジスタq2のコレクターエミッタ間電圧Vce(q2)の変動で、出力電流ioutが変動する。すなわち、一般的に、トランジスタのコレクタ電流Icのコレクターエミッタ間電圧Vceに対する依存性は次式で表される。

## 【0016】

$$I_c = I_s * (1 + V_{ce}/V_a) * \exp(V_{be}/V_t) \quad \dots (7)$$

ただし、 $I_s$ はトランジスタの飽和電流、 $V_a$ はアーリー電圧、 $V_{be}$ はベース-エミッタ間電圧、 $V_t$ は $kT/q$ で表され、 $k$ はボルツマン定数、 $T$ は絶対温度、 $q$ は電子の素電荷である。

## 【0017】

したがって、前記式5にこれを考慮すると、

$$i_{out} = (V_a + V_{ce}(q2)) / (V_a + V_{ce}(q1)) * (i_2/i_1) \quad \dots (8)$$

となり、コレクターエミッタ間電圧 $V_{ce}(q1)$ ,  $V_{ce}(q2)$ の変動で出力電流 $i_{out}$ が変動することが理解される。

## 【0018】

(b) ベース電流の影響が大きく、出力電流 $i_{out}$ に誤差が生じる。すなわち、上述の計算では、簡単のためにベース電流の影響を無視、すなわち電流増幅率 $h_{fe}$ を $\infty$ と仮定したけれども、実際の電流増幅率 $h_{fe}$ の値は一般的に100前後であり、その影響は無視できない。ベース電流 $i_b$ は、

$$i_b = i_c / h_{fe} \quad \dots (9)$$

であり、トランジスタq1, q2のベース電流 $i_b(q1)$ ,  $i_b(q2)$ が、直接、入力電流 $i_{in}$ に影響するので、出力電流 $i_{out}$ は、

$$i_{out}$$

$$= (h_{fe} / (h_{fe} + 1 + i_2 / i_1)) * (i_2 / i_1) * i_{in} \dots (10)$$

となり、ベース電流  $i_b$  によって出力電流  $i_{out}$  に誤差が生じることが理解される。また、電流増幅率  $h_{fe}$  はコレクタ電流  $i_c$  と関係し、微小なコレクタ電流では電流増幅率  $h_{fe}$  が減少する傾向にあるので、該微小電流ではベース電流  $i_b$  の誤差が増加することとなる。

#### 【0019】

そこで、このような不具合を解消するために、前記寄生フォトダイオードによる光電流の影響を回路構成的に除去するようにした他の従来技術として、特許第2906387号が提案された。図12は、その従来技術をカレントミラー回路に適用した場合の電気回路図である。このカレントミラー回路30は、前述のカレントミラー回路20に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。カレントミラーパート21, 23は同様に構成され、注目すべきは、このカレントミラー回路30では、前記トランジスタq1, q2の内、ベースとコレクタとが相互に接続されたダイオード構造である出力側のトランジスタq2のコレクタ電流がエミッタに入力され、ベースが前記入力側のトランジスタq1のコレクタに接続され、コレクタから出力電流を流し出す出力トランジスタq5が設けられていることである。また、この出力トランジスタq5に対しても、その光電流  $i_{pd5}$  を補償するために、一対のP型のトランジスタq6, q7から成るカレントミラーパート31が設けられている。前記トランジスタq6, q7のエミッタは共にハイレベルの電源に接続され、入力側のトランジスタq6はベースとコレクタとが相互に接続されたダイオード構造となっており、出力側のトランジスタq7のベースは前記トランジスタq5のベースおよびトランジスタq1のコレクタに接続され、コレクタは出力トランジスタq5のベース、したがってトランジスタq1のコレクタに接続される。

#### 【0020】

この出力トランジスタq5を追加することで、前記(a)の問題に対しては、該出力トランジスタq5のコレクタ電圧  $V_{ce}(q5)$  が変動しても、トランジスタq1, q2のコレクターエミッタ間電圧  $V_{ce}(q1), V_{ce}(q2)$  は

一定であり、出力電流  $i_{out}$  の変動を抑制することができる。また、前記 (b) の問題に対しては、トランジスタ  $q_1$ ,  $q_2$  のベース電流  $i_b$  ( $q_1$ ),  $i_b$  ( $q_2$ ) が入力電流  $i_{in}$  に及ぼす影響を、該出力トランジスタ  $q_5$  によって、 $1/h_{fe}$  に抑制することができる。こうして、出力インピーダンスを向上し、かつベース電流  $i_b$  ( $q_1$ ),  $i_b$  ( $q_2$ ) を補償した高精度なカレントミラー回路が構成されている。

## 【0021】

## 【発明が解決しようとする課題】

しかしながら、上述のような従来技術では、素子表面を配線用メタルで覆うような特別な遮光のための対策は不要になるけれども、カレントミラー部 23, 31 を設けるので、チップ面積が増加し、コストが上昇するという問題がある。

## 【0022】

本発明の目的は、素子面積の増加を抑えつつ、また特別な遮光のための対策を講じることなく、寄生フォトダイオードの光電流による影響を除去することができるカレントミラー回路およびそれを用いる光信号用回路を提供することである。

## 【0023】

## 【課題を解決するための手段】

本発明のカレントミラー回路は、集積回路内に構成されるカレントミラー回路において、カレントミラーの電流比に対応してエピタキシャル層の面積を調整することで、寄生フォトダイオードの光電流による影響を除去することを特徴とする。

## 【0024】

上記の構成によれば、集積回路の構造上、エピタキシャル層とサブストレート層との間に寄生フォトダイオードが発生し、光に晒される環境では、その寄生フォトダイオードの光電流による影響が生じる。そこで、前記寄生フォトダイオードが形成されてしまうトランジスタがカレントミラー回路を構成する場合には、前記光電流がエピタキシャル層の面積に比例して増大することに着目し、カレントミラーの電流比に対応してエピタキシャル層の面積を調整し、カレントミラー

回路の入力側と出力側とに対する前記光電流の影響を等しくして、すなわち相殺させる。

## 【0025】

したがって、前記エピタキシャル層の面積は必要な電流容量に対応した面積よりも広くなるけれども、補償回路を設けるよりは狭くすることができ、カレントミラー回路において、素子面積の増加を抑えつつ、また特別な遮光のための対策を講じることなく、寄生フォトダイオードの光電流による影響を除去することができる。

## 【0026】

また、本発明のカレントミラー回路は、カレントミラー部を構成し、ハイレベルの電源にエミッタがそれぞれ接続される一対のトランジスタQ1, Q2と、前記トランジスタQ1, Q2の内、ベースとコレクタとが相互に接続されたダイオード構造である出力側のトランジスタQ2のコレクタ電流がエミッタに入力され、ベースが前記入力側のトランジスタQ1のコレクタに接続され、コレクタから出力電流を流し出す出力トランジスタQ3とを備え、前記トランジスタQ1, Q2の内、入力側のトランジスタQ1のコレクタから信号源4.2によって電流が引抜かれ、前記各トランジスタQ1～Q3は、P型サブストレート層上にN型エピタキシャル層が積層されて成るP型トランジスタであり、前記各トランジスタQ1, Q2, Q3のN型エピタキシャル層の面積をそれぞれS1, S2, S3とし、 $I_2/I_1$ をカレントミラー部の電流比とするとき、 $S_3 = (I_1/I_2) * (S_1 + S_2)$ に選ぶことを特徴とする。

## 【0027】

上記の構成によれば、出力トランジスタQ3の寄生フォトダイオードで発生した光電流と、カレントミラー部を構成するトランジスタQ1, Q2で発生した光電流との差の電流が前記出力トランジスタQ3のコレクタから出力されるようになり、一方各トランジスタQ1, Q2, Q3のN型エピタキシャル層の面積S1, S2, S3を上式の関係を満たすように選ぶことによって、前記差の電流を0とすることができます。

## 【0028】

したがって、出力トランジスタQ3のコレクタ電位が変化し、カレントミラー部のトランジスタQ1, Q2のコレクターエミッタ間電圧V<sub>ce</sub>(Q1), V<sub>ce</sub>(Q2)が変化しても、また各トランジスタQ1～Q3の電流増幅率が変化しても、出力トランジスタQ3のコレクタからは、前記信号源42からの電流に比例した電流を流し出すことができる。

## 【0029】

さらにまた、本発明のカレントミラーレ路は、前記信号源42と入力側のトランジスタQ1との間に、エミッタが前記入力側のトランジスタQ1のコレクタに接続され、相互に接続されたベースとコレクタとが前記信号源42および出力トランジスタQ3のベースに接続されるP型トランジスタから成る電圧均衡化トランジスタQ4をさらに備え、前記電圧均衡化トランジスタQ4のN型エピタキシャル層の面積をS4とするとき、 $S_3 + S_4 = (I_1/I_2) * (S_1 + S_2)$ に選ぶことを特徴とする。

## 【0030】

上記の構成によれば、前記電圧均衡化トランジスタQ4を追加することで、前記トランジスタQ1, Q2のベースーエミッタ間電圧V<sub>be</sub>(Q1), V<sub>be</sub>(Q2)が相互に等しく、したがってコレクターエミッタ間電圧V<sub>ce</sub>(Q1), V<sub>ce</sub>(Q2)が相互に等しくなり、アーリー効果による電流の誤差をさらに低減することができる。そして、追加した電圧均衡化トランジスタQ4のN型エピタキシャル層の面積S4を加えて、各トランジスタQ1～Q4のN型エピタキシャル層の面積S1～S4を上式の関係を満たすように選ぶことによって、前記光電流による影響を無くすことができる。

## 【0031】

また、本発明のカレントミラーレ路は、カレントミラー部を構成し、ローレベルの電源にエミッタがそれぞれ接続される一対のトランジスタQ11, Q12と、前記トランジスタQ11, Q12の内、ベースとコレクタとが相互に接続されたダイオード構造である出力側のトランジスタQ12のコレクタ電流をエミッタから供給し、ベースが前記入力側のトランジスタQ11のコレクタに接続され、コレクタから出力電流を吸い込む出力トランジスタQ13とを備え、前記トラン

ジスタQ11, Q12の内、入力側のトランジスタQ11のコレクタに信号源42から電流が流し込まれ、前記各トランジスタQ11, Q12, Q13は、P型サブストレート層上にN型エピタキシャル層が積層されて成るN型トランジスタであり、前記各トランジスタQ11, Q12, Q13のN型エピタキシャル層の面積をそれぞれS11, S12, S13とし、I12/I11をカレントミラー部の電流比とするとき、 $S11 = (I11/I12) * (S12 + S13)$ に選ぶことを特徴とする。

## 【0032】

上記の構成によれば、出力トランジスタQ13の寄生フォトダイオードで発生した光電流と、カレントミラー部を構成するトランジスタQ11, Q12で発生した光電流との差の電流が前記出力トランジスタQ13のコレクタから出力されるようになり、一方各トランジスタQ11, Q12, Q13のN型エピタキシャル層の面積S11, S12, S13を上式の関係を満たすように選ぶことによつて、前記差の電流を0とすることができます。

## 【0033】

したがって、出力トランジスタQ13のコレクタ電位が変化し、カレントミラー部のトランジスタQ11, Q12のコレクターエミッタ間電圧Vce(Q11), Vce(Q12)が変化しても、また各トランジスタQ11～Q13の電流増幅率が変化しても、出力トランジスタQ13のコレクタからは、前記信号源42からの電流に比例した電流を吸い込むことができる。

## 【0034】

さらにまた、本発明のカレントミラー回路は、前記信号源42と入力側のトランジスタQ11との間に、エミッタが前記入力側のトランジスタQ11のコレクタに接続され、相互に接続されたベースとコレクタとが前記信号源42および出力トランジスタQ13のベースに接続されるN型トランジスタから成る電圧均衡化トランジスタQ14をさらに備え、前記電圧均衡化トランジスタQ14のN型エピタキシャル層の面積をS14とするとき、 $S11 + S14 = (I11/I12) * (S12 + S13)$ に選ぶことを特徴とする。

## 【0035】

上記の構成によれば、前記電圧均衡化トランジスタQ14を追加することで、前記トランジスタQ11, Q12のベース-エミッタ間電圧V<sub>be</sub>(Q11), V<sub>be</sub>(Q12)が相互に等しく、したがってコレクタ-エミッタ間電圧V<sub>ce</sub>(Q11), V<sub>ce</sub>(Q12)が相互に等しくなり、アーリー効果による電流の誤差をさらに低減することができる。そして、追加した電圧均衡化トランジスタQ14のN型エピタキシャル層の面積S14を加えて、各トランジスタQ11～Q14のN型エピタキシャル層の面積S11～S14を上式の関係を満たすように選ぶことによって、前記光電流による影響を無くすことができる。

## 【0036】

また、本発明のカレントミラー回路は、前記出力トランジスタQ3, Q13を並列素子構成またはマルチコレクタ構造とすることを特徴とする。

## 【0037】

上記の構成によれば、前記光電流の補償された出力を多出力とすることができ、補償のための構成を共用し、素子面積をさらに抑えることができる。

## 【0038】

さらにまた、本発明の光信号用回路は、前記のカレントミラー回路を用いることと特徴とする。

## 【0039】

上記の構成によれば、発光ダイオードやフォトダイオードなどの電気-光変換素子や光-電気変換素子に近接して設けられる光信号用回路では、それらの電気-光変換素子や光-電気変換素子に関する信号光や外部入射光が該光信号用回路内の寄生フォトダイオードに入射する可能性が高いので、本発明を好適に実施することができる。

## 【0040】

## 【発明の実施の形態】

本発明の実施の第1の形態について、図1に基づいて説明すれば、以下のとおりである。

## 【0041】

図1は、本発明の実施の第1の形態のカレントミラー回路40の電気回路図で

ある。このカレントミラー回路40は、一対のP型のトランジスタQ1, Q2から構成されるカレントミラーパート41と、出力トランジスタQ3とを備えて構成される。前記トランジスタQ1, Q2のエミッタは共にハイレベルの電源に接続され、入力側のトランジスタQ1のコレクタからは、信号源42によって信号電流 $I_{in}$ が引抜かれる。出力側のトランジスタQ2は、ベースとコレクタとが相互に接続されたダイオード構造となっており、それらのベースおよびコレクタは前記トランジスタQ1のベースに接続されるとともに、出力トランジスタQ3のコレクタに接続される。出力トランジスタQ3のベースは、前記入力側のトランジスタQ1のコレクタ、したがって前記信号源42に接続される。

## 【0042】

したがって、前記出力トランジスタQ3のコレクタからは、前記信号電流 $I_{in}$ が、トランジスタQ1, Q2の電流比 $I_2/I_1$ で折返された出力電流 $I_{out}$ が出力される。

## 【0043】

また、前記出力トランジスタQ3によって、該出力トランジスタQ3のコレクタ電圧が変動しても、トランジスタQ1, Q2のコレクターエミッタ間電圧 $V_{ce}$ (Q1),  $V_{ce}$ (Q2)は一定であり、出力電流 $I_{out}$ の変動を抑制している。また、トランジスタQ1, Q2のベース電流 $I_b$ (Q1),  $I_b$ (Q2)が入力電流 $I_{in}$ に及ぼす影響を、該出力トランジスタQ3によって、 $1/hfe$ に抑制している。こうして、前記図12で示すカレントミラー回路30と同様に、出力インピーダンスを向上し、かつベース電流 $I_b$ (Q1),  $I_b$ (Q2)を補償した高精度なカレントミラー回路が構成されている。

## 【0044】

そして、注目すべきは、このカレントミラー回路40では、前記各トランジスタQ1～Q3は、P型サブストレート層上にN型エピタキシャル層が積層されて成る前記図7で示すようなP型トランジスタから成り、前記各トランジスタQ1, Q2, Q3のN型エピタキシャル層の面積をそれぞれ $S_1$ ,  $S_2$ ,  $S_3$ とし、 $I_2/I_1$ をカレントミラーパート41の電流比とするとき、

$$S_3 = (I_1/I_2) * (S_1 + S_2) \quad \dots (1.1)$$

に選ぶことである。

## 【0045】

すなわち、簡単のため、トランジスタQ1, Q2のベース電流を無視 ( $h_{FE} = \infty$ ) し、トランジスタQ1, Q2の寄生ダイオードPDを流れる電流をIPDとし、出力トランジスタQ3の寄生ダイオードPD3を流れる電流をIPD3とすると、キルヒホッフの法則から、

$$I_{in} + IPD = I_1 \quad \cdots (12)$$

$$I_{out} = I_2 - IPD_3 \quad \cdots (13)$$

となる。

## 【0046】

ここで、光電流IPD, IPD3は、N型エピタキシャル層の面積に比例するので、

$$IPD = (S_1 + S_2) * I_o \quad \cdots (14)$$

$$IPD_3 = S_3 * I_o \quad \cdots (15)$$

である。ただし、 $I_o$ は、N型エピタキシャル層の単位面積当たりの光電流値である。

## 【0047】

したがって、

$$I_{out} = (I_2 / I_1) * (I_{in} + (S_3 - (I_1 / I_2) * (S_1 + S_2)) * I_o) \quad \cdots (16)$$

が求められ、これによって、前記式11の関係を満たすとき、

$$I_{out} = (I_2 / I_1) * I_{in} \quad \cdots (17)$$

となって、光電流IPD, IPD3の影響が無く、信号電流 $I_{in}$ がカレントミラーレイアの電流比 $I_2 / I_1$ に比例した電流が、出力電流 $I_{out}$ として出力されることが理解される。

## 【0048】

しかしながら、本発明では、前記N型エピタキシャル層の面積は、トランジスタQ1～Q3に必要な電流容量に対応した面積よりも広くなる。しかしながら、

前記図11や図12のカレントミラー部23, 31のような補償回路を設けるよりは、狭くすることができる。以下に、その比較を行う。

## 【0049】

先ず、カレントミラー部41の電流比 $I_2/I_1$ を $k/1$ とすると、前記N型エピタキシャル層の面積は、本発明のカレントミラー回路40では、

$$k + 2 + (1/k) \quad \cdots (18)$$

となるのに対して、前記図12のカレントミラー回路30では、

$$2(k+2) \quad \cdots (19)$$

となる。

## 【0050】

したがって、

$$k + 2 + (1/k) < 2(k+2) \quad \cdots (20)$$

は明らかであり、より少ない素子数で光電流IPDを補償する高精度なカレントミラー回路を実現することができる。

## 【0051】

下記の表1には、カレントミラー部41の電流比 $I_2/I_1$ を変化した場合のエピタキシャル層の面積の変化を示す。

## 【0052】

【表1】

カレントミラー電流比 12/11	本発明				従来例				総面積
	S 1	S 2	S 3	総面積	S 1	S 2	S 3	S 4	
1 : 1	1	1	2	4	1	1	1	2	1
2 : 1	1	2	1. 5	4. 5	1	2	1	3	1
3 : 1	1	3	1. 3 3	5. 3 3	1	3	1	4	1
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
$k : 1$	1	$k$	$(k+1)/k$	$k+2+(1/k)$	1	$k$	1	$1+k$	$1$
								$2(k+2)$	

【0053】

以上説明したように、本発明では、寄生フォトダイオードPDが形成されてしまったランジスタQ1, Q2がカレントミラー回路を構成する場合には、その光

電流IPDがエピタキシャル層の面積S1+S2に比例して増大することに着目し、カレントミラーの電流比I2/I1に対応して該エピタキシャル層の面積S1, S2を調整し、カレントミラー回路40の入力側と出力側とに対する前記光電流IPDの影響を等しくして、相殺させてるので、前記エピタキシャル層S1+S2の面積は必要な電流容量に対応した面積よりも広くなるけれども、補償回路を設けるよりは狭くすることができ、カレントミラー回路40において、素子面積の増加を抑えつつ、また特別な遮光のための対策を講じることなく、寄生フォトダイオードPDの光電流IPDによる影響を除去することができる。

## 【0054】

本発明の実施の第2の形態について、図2に基づいて説明すれば、以下のとおりである。

## 【0055】

図2は、本発明の実施の第2の形態のカレントミラー回路50の電気回路図である。このカレントミラー回路50は、前述のカレントミラー回路40に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、このカレントミラー回路50では、前記信号源42と入力側のトランジスタQ1との間に、エミッタが前記入力側のトランジスタQ1のコレクタに接続され、相互に接続されたベースとコレクタとが前記信号源42および出力トランジスタQ3のベースに接続されるP型トランジスタから成る電圧均衡化トランジスタQ4がさらに設けられていることである。

## 【0056】

これに対応して、前記電圧均衡化トランジスタQ4のN型エピタキシャル層の面積をS4とするとき、前記式11が、

$$S3 + S4 = (I1/I2) * (S1 + S2) \quad \dots (21)$$

に変更される。

## 【0057】

すなわち、前記式16は、

$$I_{out} = (I2/I1) * (I_{in} + ((S3 + S4) - (I1/I2) * (S1 + S2)) * I_o)$$

… (22)

となり、前記式21の関係を満たすとき、寄生フォトダイオードPDの光電流IPDによる影響を除去することができる。

## 【0058】

この前記電圧均衡化トランジスタQ4を追加することで、前記トランジスタQ1, Q2のベース-エミッタ間電圧V<sub>be</sub>(Q1), V<sub>be</sub>(Q2)が相互に等しく、したがってコレクタ-エミッタ間電圧V<sub>ce</sub>(Q1), V<sub>ce</sub>(Q2)が相互に等しくなる。したがって、前記式8をこのカレントミラー回路50に適用すると、

I<sub>out</sub>

$$= (V_a + V_{ce}(Q2)) / (V_a + V_{ce}(Q1)) * (I_2 / I_1) \quad \dots (23)$$

であり、上式において、V<sub>ce</sub>(Q1) = V<sub>ce</sub>(Q2) とすると、前記式17となる。

## 【0059】

したがって、前記アーリー効果による電流の誤差もさらに低減することができる。また、この電圧均衡化トランジスタQ4のN型エピタキシャル層の面積S4を加えて、各トランジスタQ1～Q4のN型エピタキシャル層の面積S1～S4を式21の関係を満たすように選ぶことによって、前記光電流IPD, IPD3による影響も無くすことができる。

## 【0060】

本発明の実施の第3の形態について、図3に基づいて説明すれば、以下のとおりである。

## 【0061】

図3は、本発明の実施の第3の形態のカレントミラー回路60の電気回路図である。このカレントミラー回路60は、前述のカレントミラー回路40に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。前述のようにカレントミラー回路40では、それを構成するトランジスタQ1～Q3がP型であったのに対して、このカレントミラー回路60は、N型のトランジスタQ1

1～Q13から構成されている。

【0062】

カレントミラー部61を構成する一対のトランジスタQ11, Q12のエミッタは共にローレベルの電源に接続され、入力側のトランジスタQ11のコレクタには、信号源42からの信号電流 $I_{in}$ が吸込まれる。出力側のトランジスタQ12は、ベースとコレクタとが相互に接続されたダイオード構造となっており、それらのベースおよびコレクタは前記トランジスタQ11のベースに接続されるとともに、出力トランジスタQ13のエミッタに接続される。出力トランジスタQ13のベースは、前記入力側のトランジスタQ11のコレクタ、したがって前記信号源42に接続される。

【0063】

したがって、前記出力トランジスタQ13のコレクタからは、前記信号電流 $I_{in}$ が、トランジスタQ11, Q12の電流比 $I_{12}/I_{11}$ で折返された出力電流 $I_{out}$ が吸込まれる。

【0064】

また、前記出力トランジスタQ13によって、該出力トランジスタQ13のコレクタ電圧が変動しても、トランジスタQ11, Q12のコレクターエミッタ間電圧 $V_{ce}(Q11)$ ,  $V_{ce}(Q12)$ は一定であり、出力電流 $I_{out}$ の変動を抑制している。また、トランジスタQ11, Q12のベース電流 $I_b(Q11)$ ,  $I_b(Q12)$ が入力電流 $I_{in}$ に及ぼす影響を、該出力トランジスタQ13によって、 $1/hfe$ に抑制している。こうして、前記図12で示すカレントミラーレート30と同様に、出力インピーダンスを向上し、かつベース電流 $I_b(Q11)$ ,  $I_b(Q12)$ を補償した高精度なカレントミラー回路が構成されている。

【0065】

そして、このカレントミラー回路60では、前記各トランジスタQ11～Q13は、P型サブストレート層上にN型エピタキシャル層が積層されて成る前記図9で示すようなN型トランジスタから成り、前記各トランジスタQ11, Q12, Q13のN型エピタキシャル層の面積をそれぞれ $S_{11}$ ,  $S_{12}$ ,  $S_{13}$ とし

、 $I_{12}/I_{11}$ をカレントミラー部61の電流比とするとき、

$$S_{11} = (I_{11}/I_{12}) * (S_{12} + S_{13}) \quad \dots (24)$$

に選ばれる。

#### 【0066】

すなわち、簡単のため、トランジスタ $Q_{11}$ ,  $Q_{12}$ のベース電流を無視し、トランジスタ $Q_{11}$ ,  $Q_{12}$ のコレクタに寄生する寄生ダイオード $PD_{11}$ ,  $PD_{12}$ を流れる電流を $IPD_{11}$ ,  $IPD_{12}$ とし、出力トランジスタ $Q_{13}$ の寄生ダイオード $PD_{13}$ を流れる電流を $IPD_{13}$ とすると、キルヒホップの法則から、

$$I_{in} = I_{11} + IPD_{11} \quad \dots (25)$$

$$I_{out} = I_{12} + IPD_{12} + IPD_{13} \quad \dots (26)$$

となる。

#### 【0067】

ここで、光電流 $IPD_{11} \sim IPD_{13}$ は、N型エピタキシャル層の面積に比例するので、

$$IPD_{11} = S_{11} * I_o \quad \dots (27)$$

$$IPD_{12} + IPD_{13} = (S_{12} + S_{13}) * I_o \quad \dots (28)$$

である。

#### 【0068】

したがって、

$$I_{out} = (I_{12}/I_{11}) * (I_{in} - (S_{11} - (I_{11}/I_{12}) * (S_{12} + S_{13})) * I_o) \quad \dots (29)$$

が求められ、これによって、前記式24の関係を満たすとき、

$$I_{out} = (I_{12}/I_{11}) * I_{in} \quad \dots (30)$$

となって、光電流 $IPD_{11} \sim IPD_{13}$ の影響が無く、信号電流 $I_{in}$ がカレントミラー部61の電流比 $I_{12}/I_{11}$ に比例した電流が、出力電流 $I_{out}$ として吸込まれることが理解される。

#### 【0069】

前述のように、N型のトランジスタQ11～Q13では、前記光電流IPD11～IPD13はコレクタ電流として作用するので、ベース電流として作用するP型のトランジスタQ1～Q3に比べて効果は小さいけれども、こうしてN型のトランジスタQ11～Q13から成るカレントミラー回路61にも本発明を実施することができる。

## 【0070】

本発明の実施の第4の形態について、図4に基づいて説明すれば、以下のとおりである。

## 【0071】

図4は、本発明の実施の第4の形態のカレントミラー回路70の電気回路図である。このカレントミラー回路70では、N型のトランジスタQ11～Q13から成る前記カレントミラー回路60に、前記カレントミラー回路50と同様に、前記信号源42と入力側のトランジスタQ11との間に、エミッタが前記入力側のトランジスタQ11のコレクタに接続され、相互に接続されたベースとコレクタとが前記信号源42および出力トランジスタQ13のベースに接続されるN型トランジスタから成る電圧均衡化トランジスタQ14がさらに設けられている。

## 【0072】

これに対応して、前記電圧均衡化トランジスタQ14のN型エピタキシャル層の面積をS14とするとき、前記式24が、

$$S11 + S14 = (I11/I12) * (S12 + S13) \quad \dots (31)$$

に変更される。

## 【0073】

すなわち、前記式29は、

$$\begin{aligned} I_{out} = & (I12/I11) * (I_{in} - ((S11 + S14) \\ & - (I11/I12) * (S12 + S13)) * I_o) \dots (32) \end{aligned}$$

となり、前記式31の関係を満たすとき、寄生フォトダイオードPD11～PD14の光電流IPD11～IPD14による影響を除去することができる。

## 【0074】

この電圧均衡化トランジスタQ14を追加することで、前記トランジスタQ1

1, Q12のベース-エミッタ間電圧V<sub>be</sub>(Q11), V<sub>be</sub>(Q12)が相互に等しく、したがってコレクタ-エミッタ間電圧V<sub>ce</sub>(Q11), V<sub>ce</sub>(Q12)が相互に等しくなる。これによって、前記アーリー効果による電流の誤差もさらに低減することができる。また、この電圧均衡化トランジスタQ14のN型エピタキシャル層の面積S14を加えて、各トランジスタQ11~Q14のN型エピタキシャル層の面積S11~S14を式31の関係を満たすように選ぶことによって、前記光電流IPD11~IPD14による影響も無くすことができる。

## 【0075】

本発明の実施の第5の形態について、図5および図6に基づいて説明すれば、以下のとおりである。

## 【0076】

図5は、本発明の実施の第5の形態のカレントミラー回路80の電気回路図である。このカレントミラー回路80は、前述のカレントミラー回路40に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、このカレントミラー回路80では、前述の出力トランジスタQ3を、出力トランジスタQ31, Q32, …, Q3nで示すように、並列素子構成またはマルチコレクタ構造とすることである。

## 【0077】

各出力トランジスタQ31, Q32, …, Q3nのエミッタ面積が相互に等しい場合、1チャネル当りの出力電流ΔI<sub>out</sub>は、前記式16から、

$$\begin{aligned} \Delta I_{out} &= (1/n) * (I_2/I_1) \\ &* (I_{in} + (\sum S_3 - (I_1/I_2) * (S_1 + S_2)) * I_0) \\ &\dots (33) \end{aligned}$$

となり、これによって、

$$\sum S_3 = (I_1/I_2) * (S_1 + S_2) \dots (34)$$

の関係を満たすとき、総出力電流I<sub>out</sub>は、

$$I_{out} = (I_2/I_1) * I_{in} \dots (17)$$

となって、光電流IPD, IPD3'の影響が無く、信号電流I<sub>in</sub>がカレント

ミラー部4-1の電流比  $I_2/I_1$  に比例した電流が、各出力電流  $\Delta I_{out}$  として出力される。ここで、 $\Sigma S_3$  は、前記出力トランジスタ  $Q_{31}, Q_{32}, \dots, Q_{3n}$  のエピタキシャル層の面積を  $S_{31}, S_{32}, \dots, S_{3n}$  とするとき、それらの総和であり、光電流  $IPD_3'$  は、前記出力トランジスタ  $Q_{31} \sim Q_{3n}$  による光電流の総和である。

#### 【0078】

図6は、上述のようなマルチコレクタ構造の素子構成の一例を示す図である。P型トランジスタの前記図7を合わせて参照して、図6 (a) はコレクタが2分割された例であり、図7の構成が線対象に、一対で構成された例を示している。一方、図6 (b) は、エミッタを中心として、コレクタを4隅に配置し、ベースを一方の隅の側に配置した4分割された例を示している。

#### 【0079】

このように構成することによって、光電流  $IPD, IPD_3'$  の補償された出力を多出力とすることができます。補償のための構成を共用し、素子面積をさらに抑えることができる。なお、前記N型トランジスタ  $Q_{13}$  の場合も、並列素子構成またはマルチコレクタ構造とすることで、同様の効果が得られることは明らかである。

#### 【0080】

本発明のカレントミラー回路40, 50, 60, 70, 80は、発光ダイオードやフォトダイオードなどの電気-光変換素子や光-電気変換素子に近接して設けられる光信号用回路に好適に実施することができる。すなわち、前記光信号用回路においては、前記電気-光変換素子や光-電気変換素子に関する信号光や外部入射光が該光信号用回路内の寄生フォトダイオードに入射する可能性が高いためである。

#### 【0081】

##### 【発明の効果】

本発明のカレントミラー回路は、以上のように、集積回路内に構成されるカレントミラー回路において、集積回路の構造上、寄生フォトダイオードが形成されてしまうトランジスタがカレントミラー回路を構成する場合には、その光電流が

エピタキシャル層の面積に比例して増大することに着目し、カレントミラーの電流比に対応してエピタキシャル層の面積を調整し、カレントミラー回路の入力側と出力側とに対する前記光電流の影響を等しくして、相殺する。

## 【0082】

それゆえ、前記エピタキシャル層の面積は必要な電流容量に対応した面積よりも広くなるけれども、補償回路を設けるよりは狭くすることができ、カレントミラー回路において、素子面積の増加を抑えつつ、また特別な遮光のための対策を講じることなく、寄生フォトダイオードの光電流による影響を除去することができる。

## 【0083】

また、本発明のカレントミラー回路は、以上のように、カレントミラー部をハイレベルの電源にエミッタがそれぞれ接続される一対のトランジスタQ1, Q2で構成し、前記トランジスタQ1, Q2の内、出力側のトランジスタQ2のコレクタにエミッタが接続され、ベースが前記入力側のトランジスタQ1のコレクタに接続され、コレクタから出力電流を流し出す出力トランジスタQ3をさらに備え、入力側のトランジスタQ1のコレクタから信号源42によって電流を引抜くようにし、前記各トランジスタQ1～Q3を、P型サブストレート層上にN型エピタキシャル層が積層されて成るP型トランジスタで構成し、前記各トランジスタQ1, Q2, Q3のN型エピタキシャル層の面積をそれぞれS1, S2, S3とし、 $I_2/I_1$ をカレントミラー部の電流比とするとき、 $S_3 = (I_1/I_2) * (S_1 + S_2)$ に選ぶ。

## 【0084】

それゆえ、出力トランジスタQ3の寄生フォトダイオードで発生した光電流と、カレントミラー部を構成するトランジスタQ1, Q2で発生した光電流との差の電流が前記出力トランジスタQ3のコレクタから出力されるようになり、一方各トランジスタQ1, Q2, Q3のN型エピタキシャル層の面積S1, S2, S3を上式の関係を満たすように選ぶことによって、前記差の電流を0とすることができる。

## 【0085】

これによって、出力トランジスタQ3のコレクタ電位が変化し、カレントミラー部のトランジスタQ1, Q2のコレクターエミッタ間電圧V<sub>ce</sub>(Q1), V<sub>ce</sub>(Q2)が変化しても、また各トランジスタQ1～Q3の電流増幅率が変化しても、出力トランジスタQ3のコレクタからは、前記信号源42からの電流に比例した電流を流し出すことができる。

## 【0086】

さらにまた、本発明のカレントミラー回路は、以上のように、前記信号源42と入力側のトランジスタQ1との間に、エミッタが前記入力側のトランジスタQ1のコレクタに接続され、相互に接続されたベースとコレクタとが前記信号源42および出力トランジスタQ3のベースに接続されるP型トランジスタから成る電圧均衡化トランジスタQ4をさらに設け、前記電圧均衡化トランジスタQ4のN型エピタキシャル層の面積をS4とするとき、 $S3 + S4 = (I1/I2) * (S1 + S2)$ に選ぶ。

## 【0087】

それゆえ、前記トランジスタQ1, Q2のベースーエミッタ間電圧V<sub>be</sub>(Q1), V<sub>be</sub>(Q2)が相互に等しく、したがってコレクターエミッタ間電圧V<sub>ce</sub>(Q1), V<sub>ce</sub>(Q2)が相互に等しくなり、アーリー効果による電流の誤差をさらに低減することができる。また、追加した電圧均衡化トランジスタQ4のN型エピタキシャル層の面積S4を加えて、各トランジスタQ1～Q4のN型エピタキシャル層の面積S1～S4を上式の関係を満たすように選ぶことによって、前記光電流による影響を無くすことができる。

## 【0088】

また、本発明のカレントミラー回路は、以上のように、カレントミラー部を二レベルの電源にエミッタがそれぞれ接続される一対のトランジスタQ11, Q12で構成し、前記トランジスタQ11, Q12の内、出力側のトランジスタQ12のコレクタにエミッタが接続され、ベースが前記入力側のトランジスタQ11のコレクタに接続され、コレクタから出力電流を吸い込む出力トランジスタQ13をさらに備え、入力側のトランジスタQ11のコレクタに信号源42から電流を流し込み、前記各トランジスタQ11～Q13を、P型サブストレート層上

にN型エピタキシャル層が積層されて成るN型トランジスタで構成し、前記各トランジスタQ11, Q12, Q13のN型エピタキシャル層の面積をそれぞれS11, S12, S13とし、I12/I11をカレントミラー部の電流比とするとき、 $S11 = (I11/I12) * (S12 + S13)$ に選ぶ。

## 【0089】

それゆえ、出力トランジスタQ13の寄生フォトダイオードで発生した光電流と、カレントミラー部を構成するトランジスタQ11, Q12で発生した光電流との差の電流が前記出力トランジスタQ13のコレクタから出力されるようになり、一方各トランジスタQ11, Q12, Q13のN型エピタキシャル層の面積S11, S12, S13を上式の関係を満たすように選ぶことによって、前記差の電流を0とすることができます。

## 【0090】

これによって、出力トランジスタQ13のコレクタ電位が変化し、カレントミラー部のトランジスタQ11, Q12のコレクターエミッタ間電圧Vce(Q11), Vce(Q12)が変化しても、また各トランジスタQ11～Q13の電流増幅率が変化しても、出力トランジスタQ13のコレクタからは、前記信号源42からの電流に比例した電流を吸い込むことができる。

## 【0091】

さらにまた、本発明のカレントミラー回路は、以上のように、前記信号源42と入力側のトランジスタQ11との間に、エミッタが前記入力側のトランジスタQ11のコレクタに接続され、相互に接続されたベースとコレクタとが前記信号源42および出力トランジスタQ13のベースに接続されるN型トランジスタから成る電圧均衡化トランジスタQ14をさらに設け、前記電圧均衡化トランジスタQ14のN型エピタキシャル層の面積をS14とするとき、 $S11 + S14 = (I11/I12) * (S12 + S13)$ に選ぶ。

## 【0092】

それゆえ、前記トランジスタQ11, Q12のベースーエミッタ間電圧Vbe(Q11), Vbe(Q12)が相互に等しく、したがってコレクターエミッタ間電圧Vce(Q11), Vce(Q12)が相互に等しくなり、アーリー効果

による電流の誤差をさらに低減することができる。また、追加した電圧均衡化トランジスタQ14のN型エピタキシャル層の面積S14を加えて、各トランジスタQ11～Q14のN型エピタキシャル層の面積S11～S14を上式の関係を満たすように選ぶことによって、前記光電流による影響を無くすことができる。

## 【0093】

また、本発明のカレントミラー回路は、以上のように、前記出力トランジスタQ3, Q13を並列素子構成またはマルチコレクタ構造とする。

## 【0094】

それゆえ、前記光電流の補償された出力を多出力とすることができます、補償のための構成を共用し、素子面積をさらに抑えることができる。

## 【0095】

さらにまた、本発明の光信号用回路は、以上のように、前記のカレントミラー回路を用いる。

## 【0096】

それゆえ、発光ダイオードやフォトダイオードなどの電気-光変換素子や光-電気変換素子に近接して設けられる光信号用回路では、それらの電気-光変換素子や光-電気変換素子に関する信号光や外部入射光が該光信号用回路内の寄生フォトダイオードに入射する可能性が高いので、本発明を好適に実施することができる。

## 【図面の簡単な説明】

## 【図1】

本発明の実施の第1の形態のカレントミラー回路の電気回路図である。

## 【図2】

本発明の実施の第2の形態のカレントミラー回路の電気回路図である。

## 【図3】

本発明の実施の第3の形態のカレントミラー回路の電気回路図である。

## 【図4】

本発明の実施の第4の形態のカレントミラー回路の電気回路図である。

## 【図5】

本発明の実施の第5の形態のカレントミラー回路の電気回路図である。

【図6】

図5で示すマルチコレクタ構造の素子構成の一例を示す図である。

【図7】

P型トランジスタの構造を模式的に示す図である。

【図8】

図7で示すP型トランジスタの等価回路図である。

【図9】

N型トランジスタの構造を模式的に示す図である。

【図10】

図9で示すN型トランジスタの等価回路図である。

【図11】

典型的な従来技術をカレントミラー回路に適用した場合の電気回路図である。

【図12】

他の従来技術をカレントミラー回路に適用した場合の電気回路図である。

【符号の説明】

- 1 P型トランジスタ
- 2, 12 P型のサブストレート層
- 3, 13 N型エピタキシャル層
- 4, 14 トレンチ
- 5, 15 寄生フォトダイオード
- 11 N型トランジスタ
- 40, 50, 60, 70, 80 カレントミラー回路
- 41, 61 カレントミラー部
- 42 信号源
- Q1, Q2 P型のトランジスタ（カレントミラー回路）
- Q3 出力トランジスタ
- Q4 電圧均衡化トランジスタ
- Q11, Q12 N型のトランジスタ（カレントミラー回路）

Q13 出力トランジスタ

Q14 電圧均衡化トランジスタ

Q31, Q32, …, Q3n 出力トランジスタ

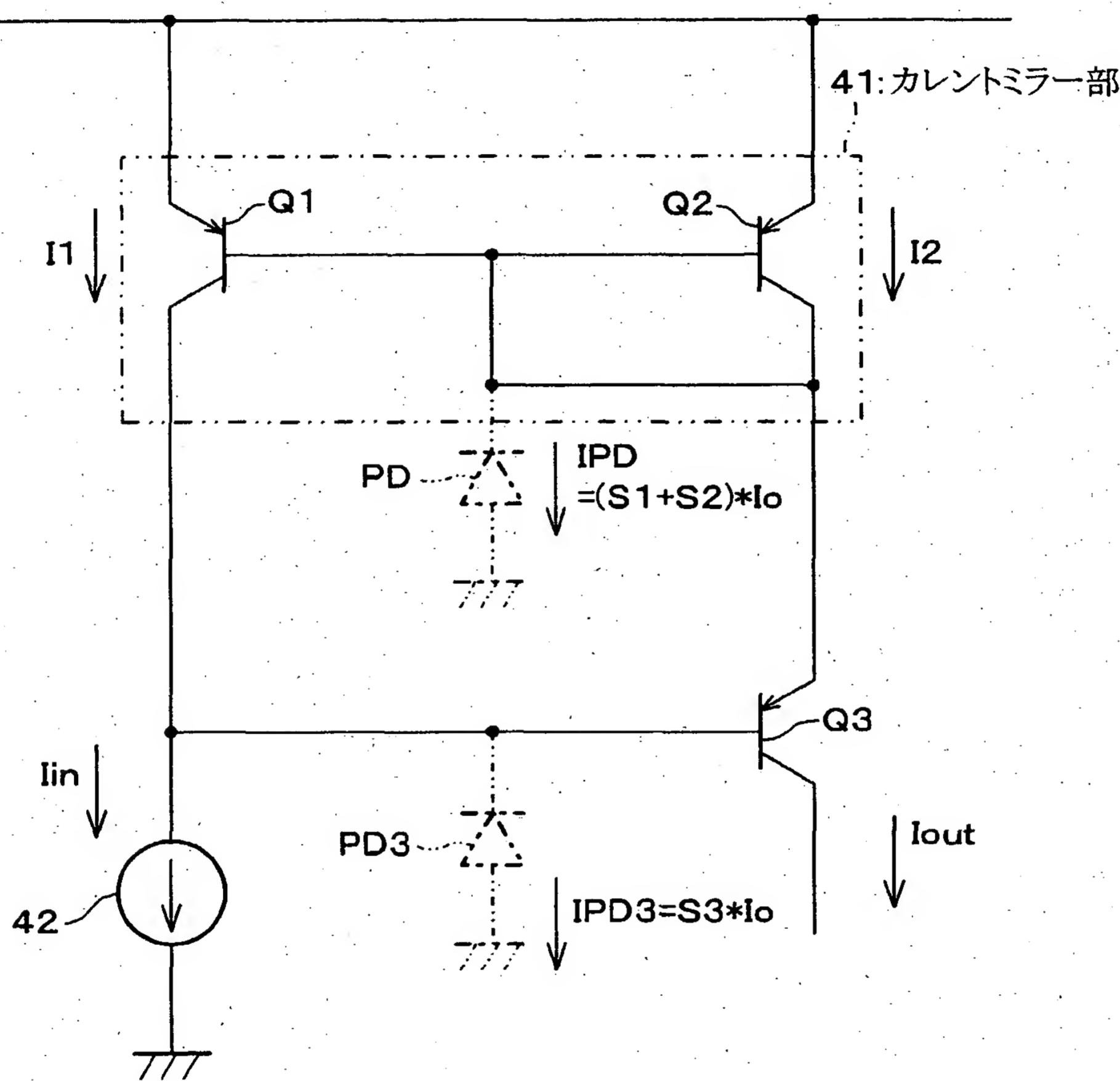
PD, PD3 寄生フォトダイオード

PD11~PD14 寄生フォトダイオード

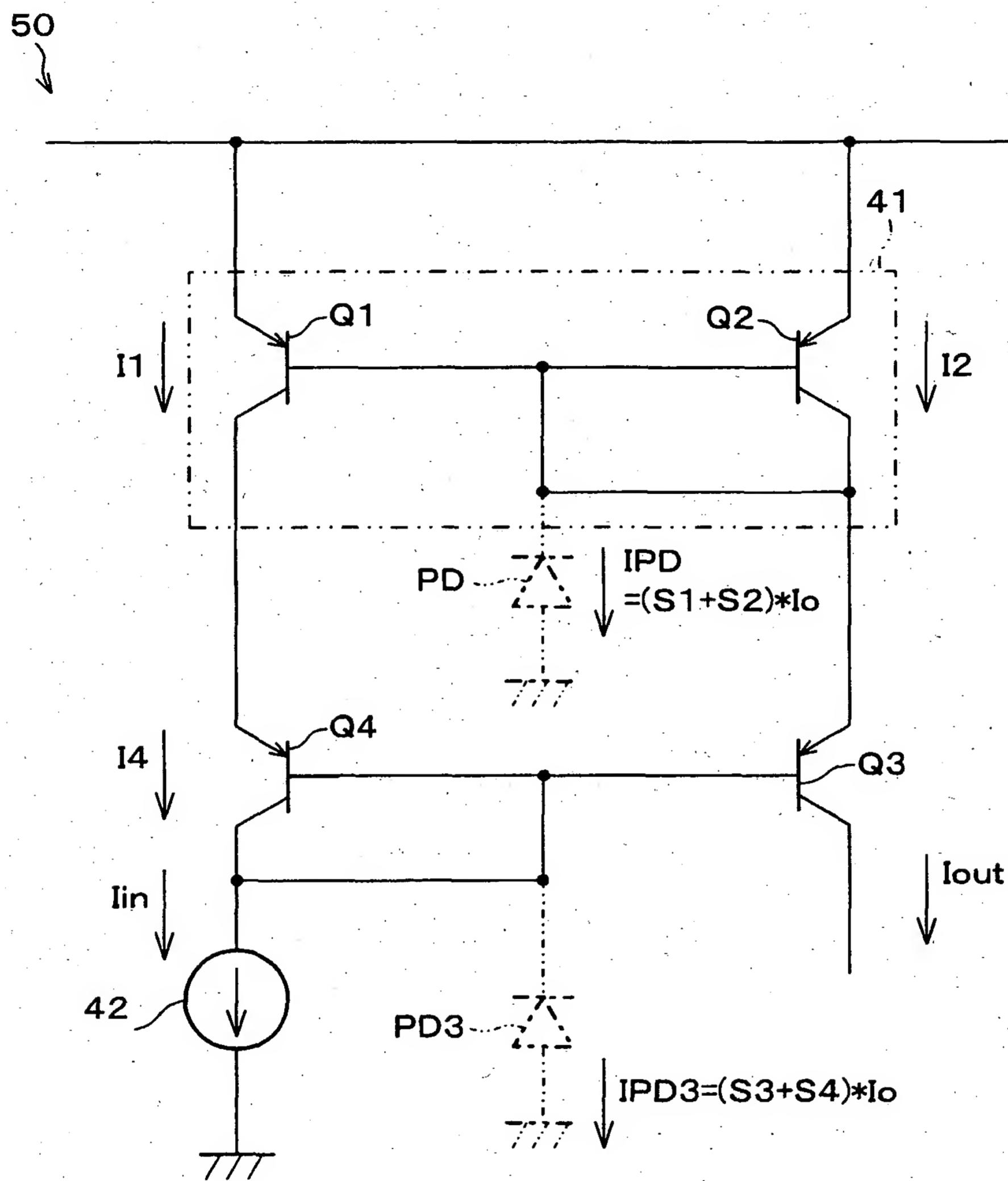
【書類名】 図面

【図1】

40:カレントミラー回路

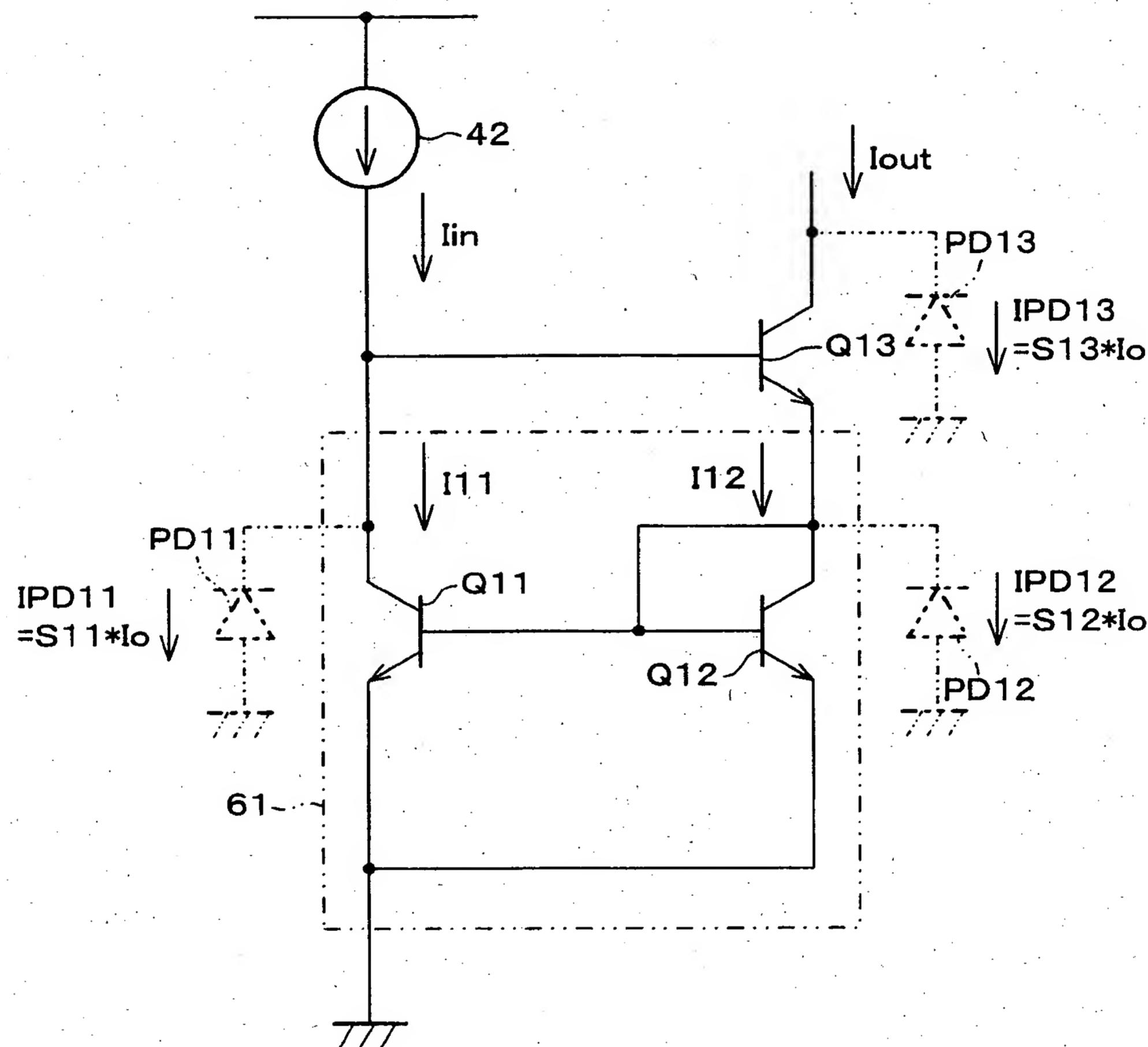


【図2】



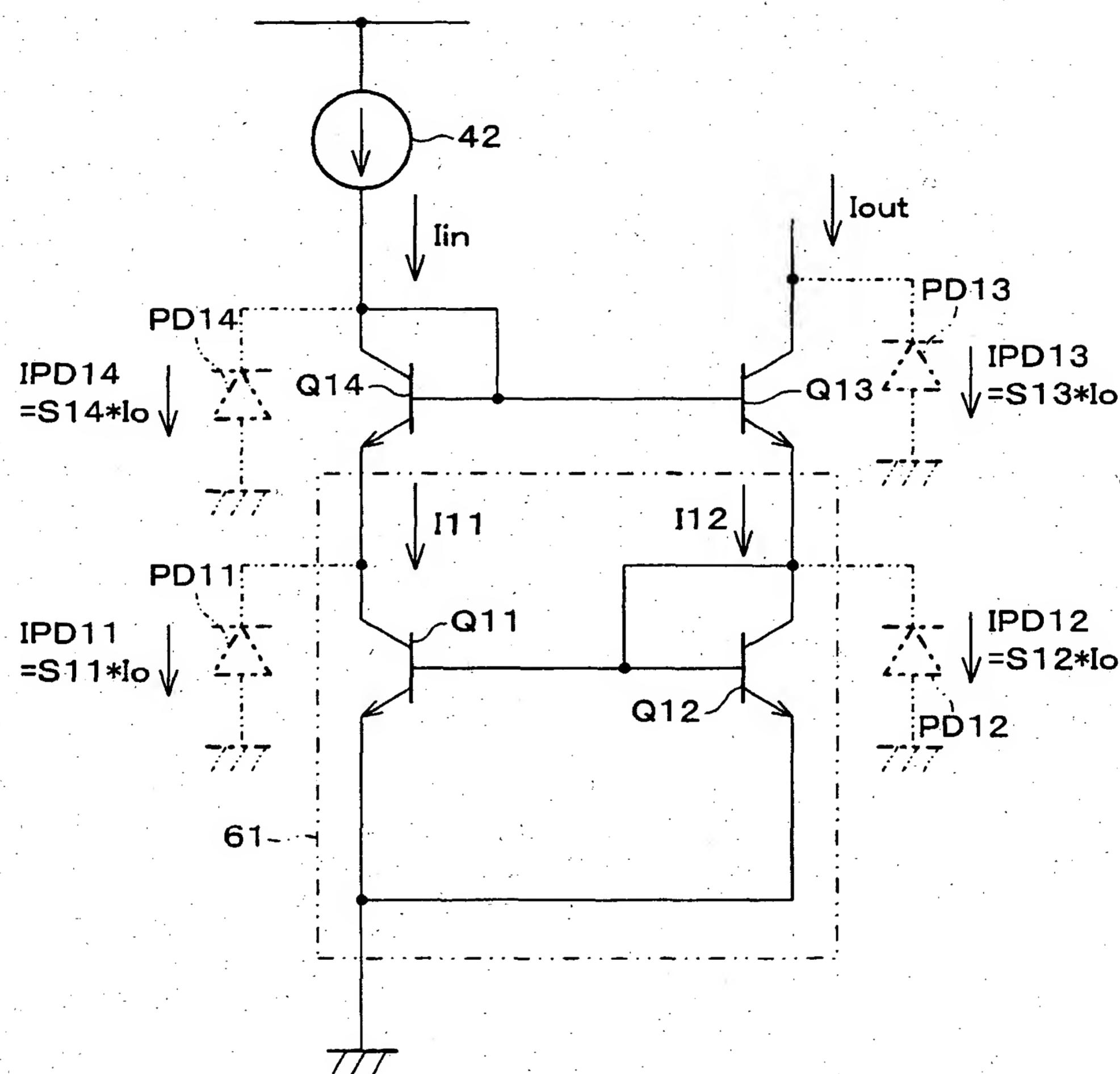
【図3】

60

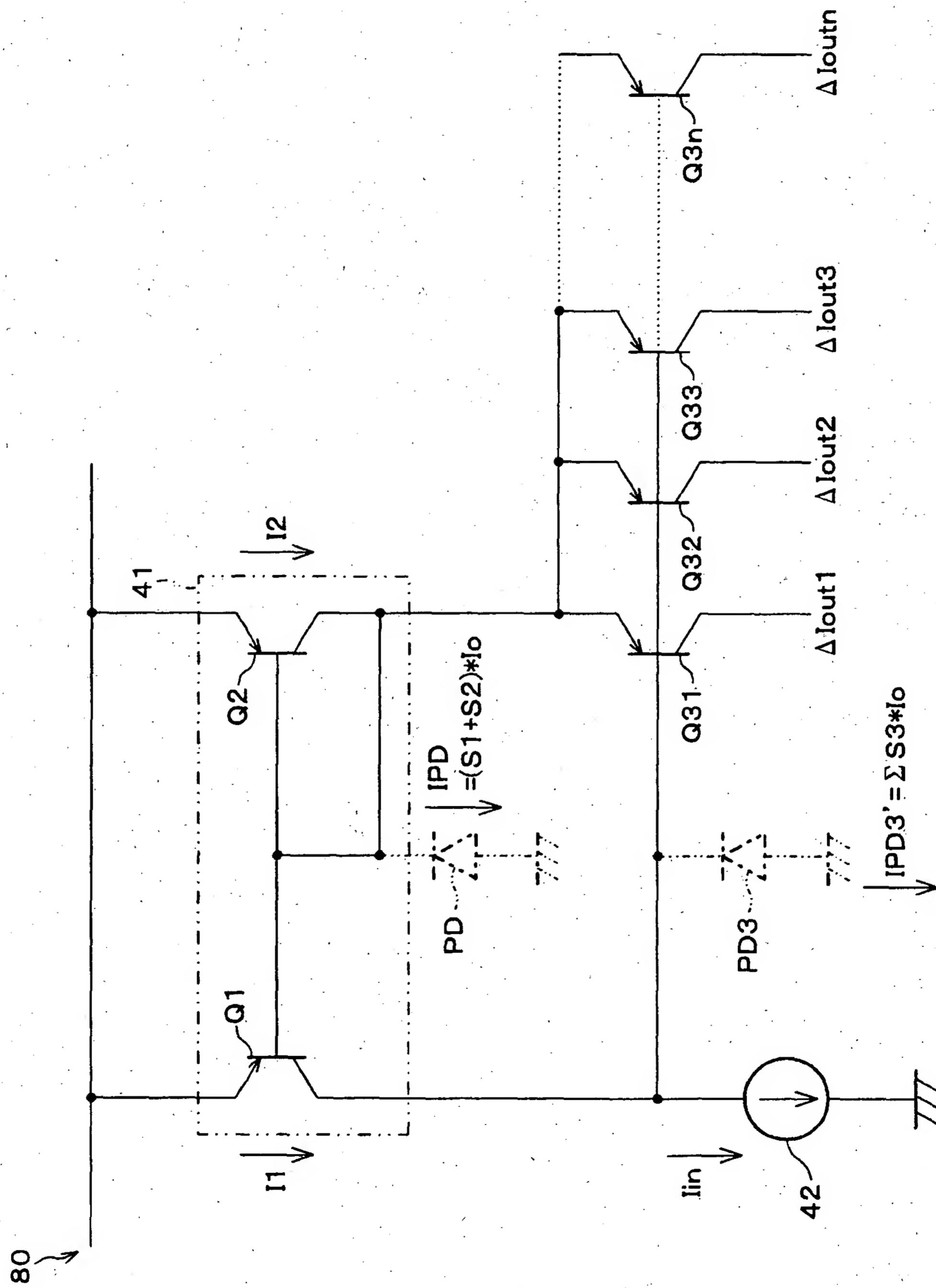


【図4】

70

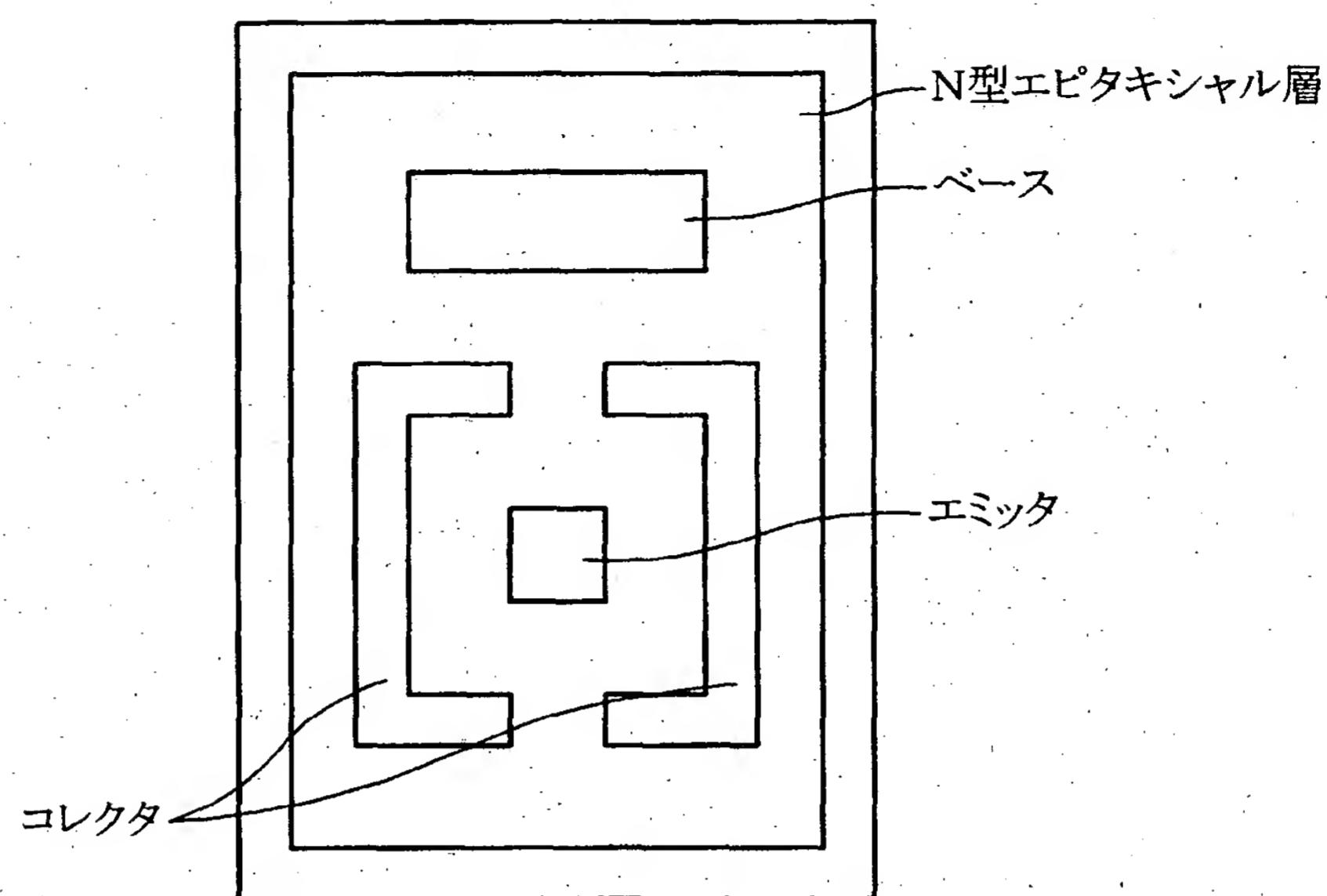


## 【図5】

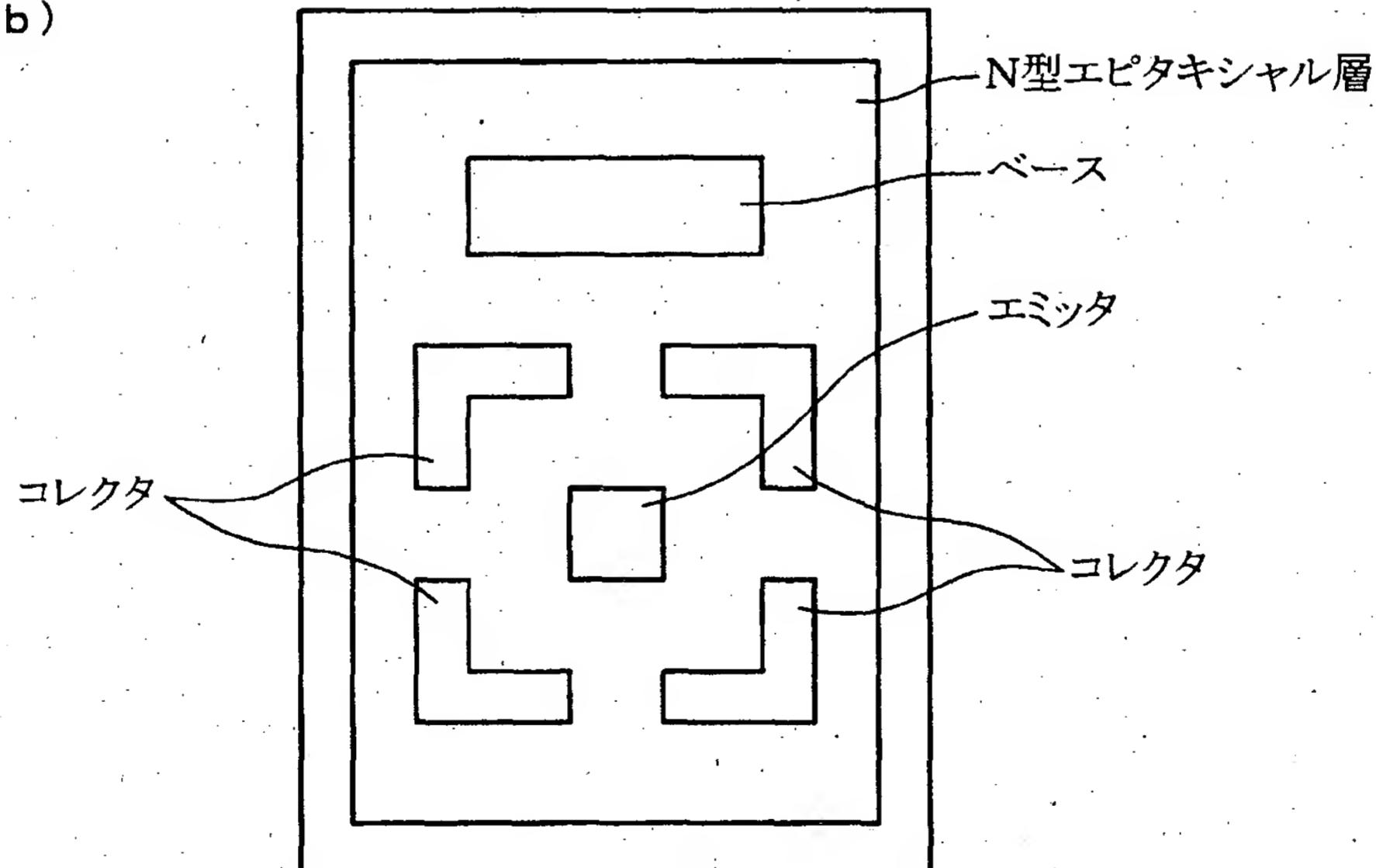


【図6】

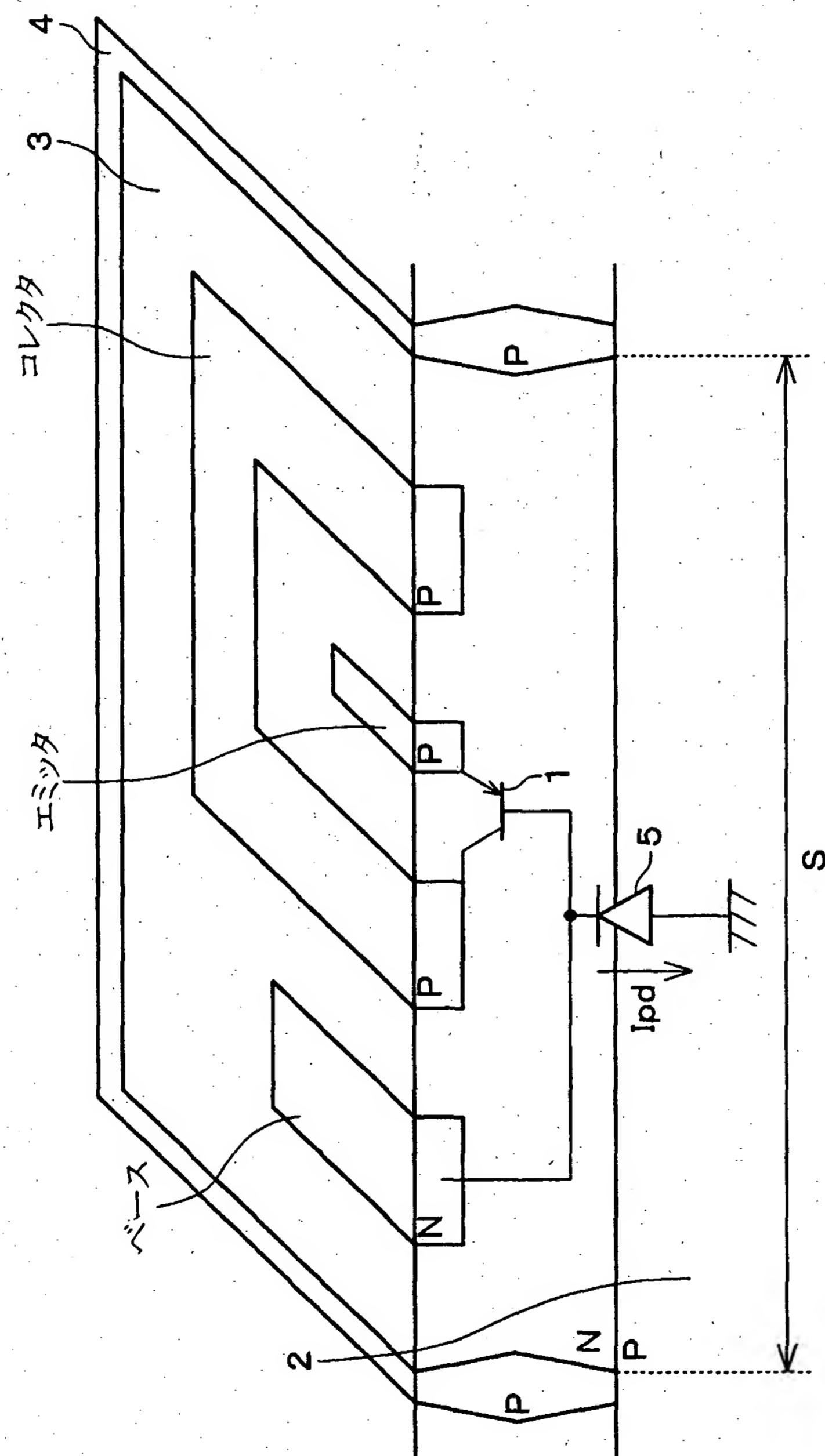
(a)



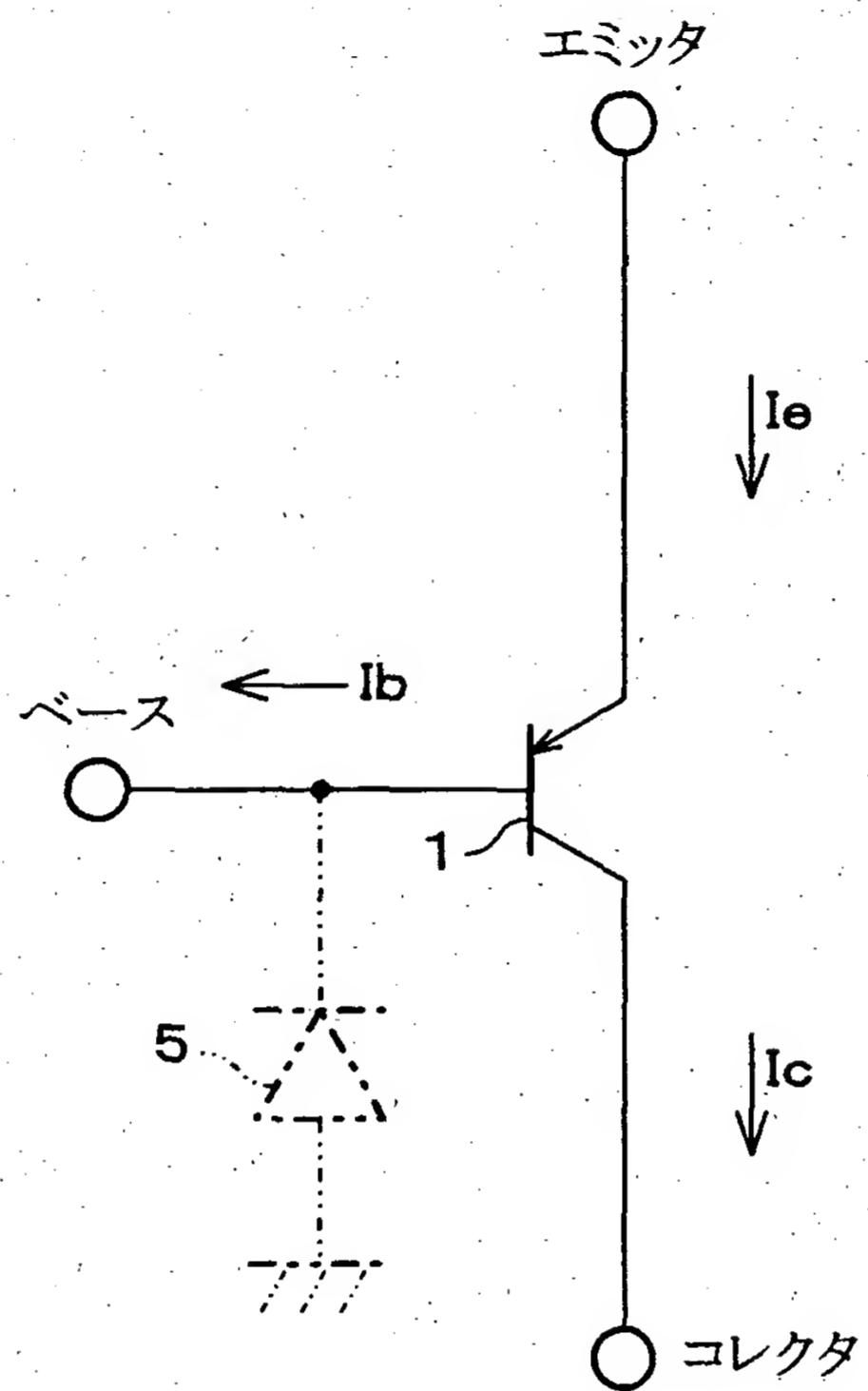
(b)



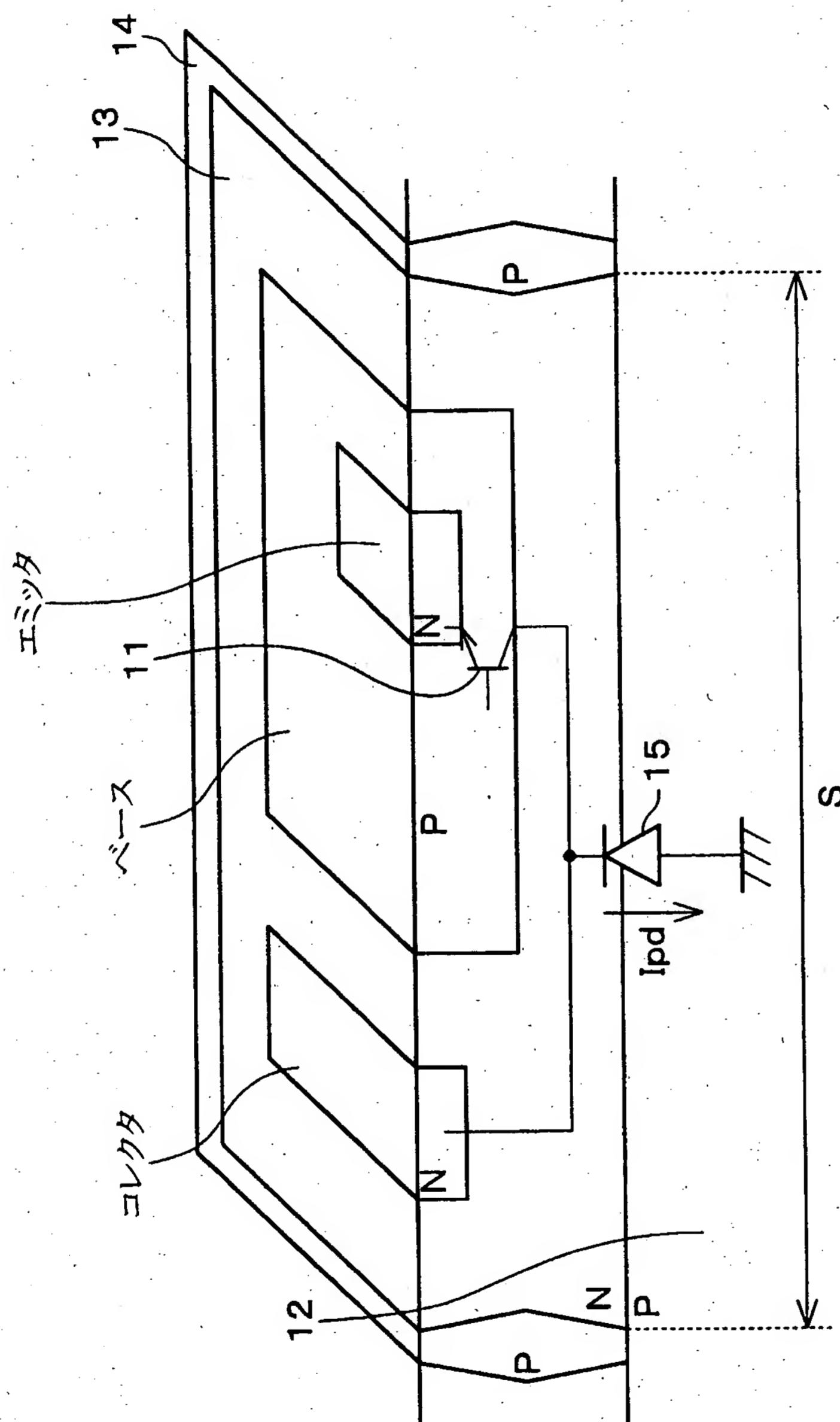
【図7】



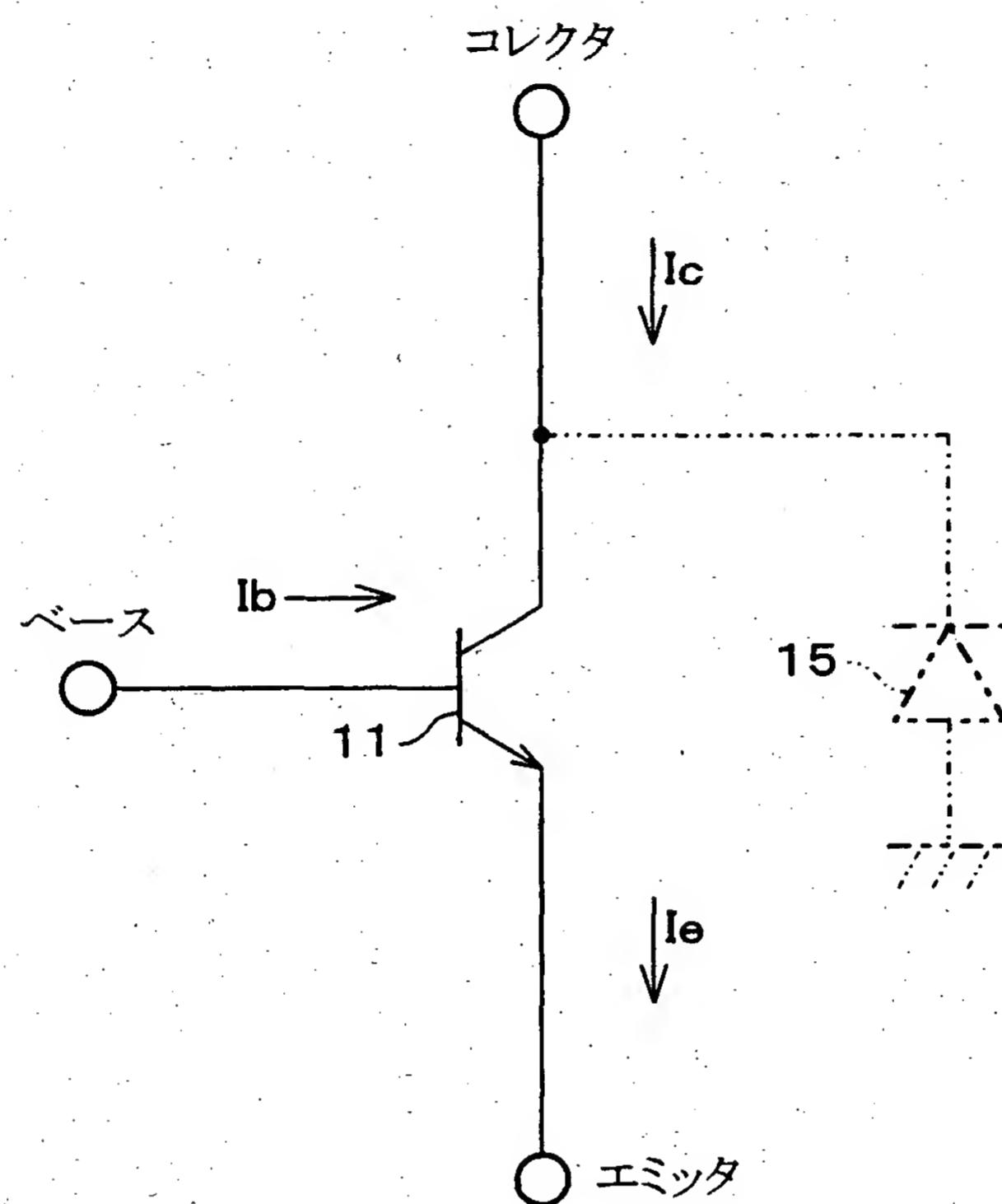
【図8】



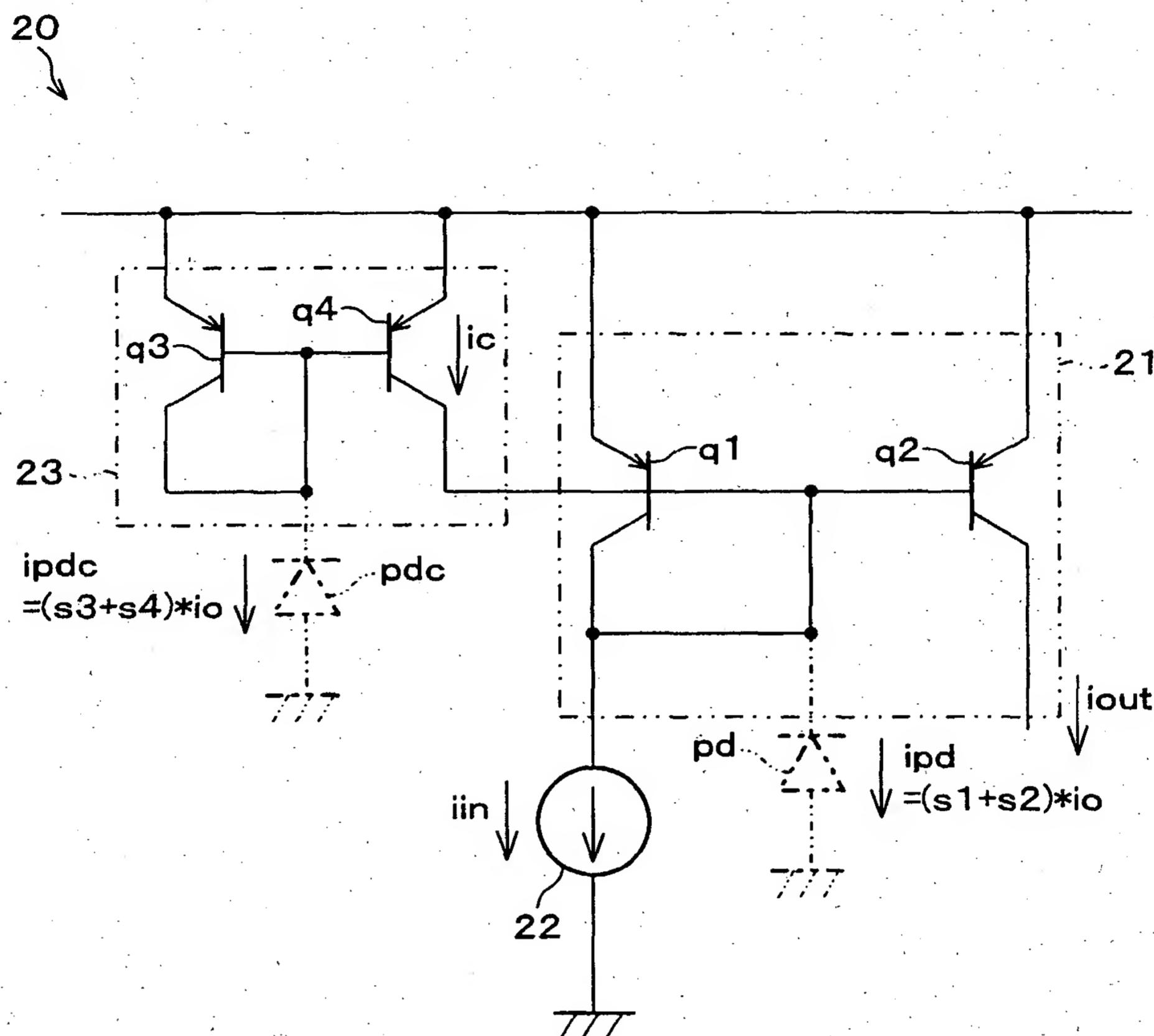
【図9】



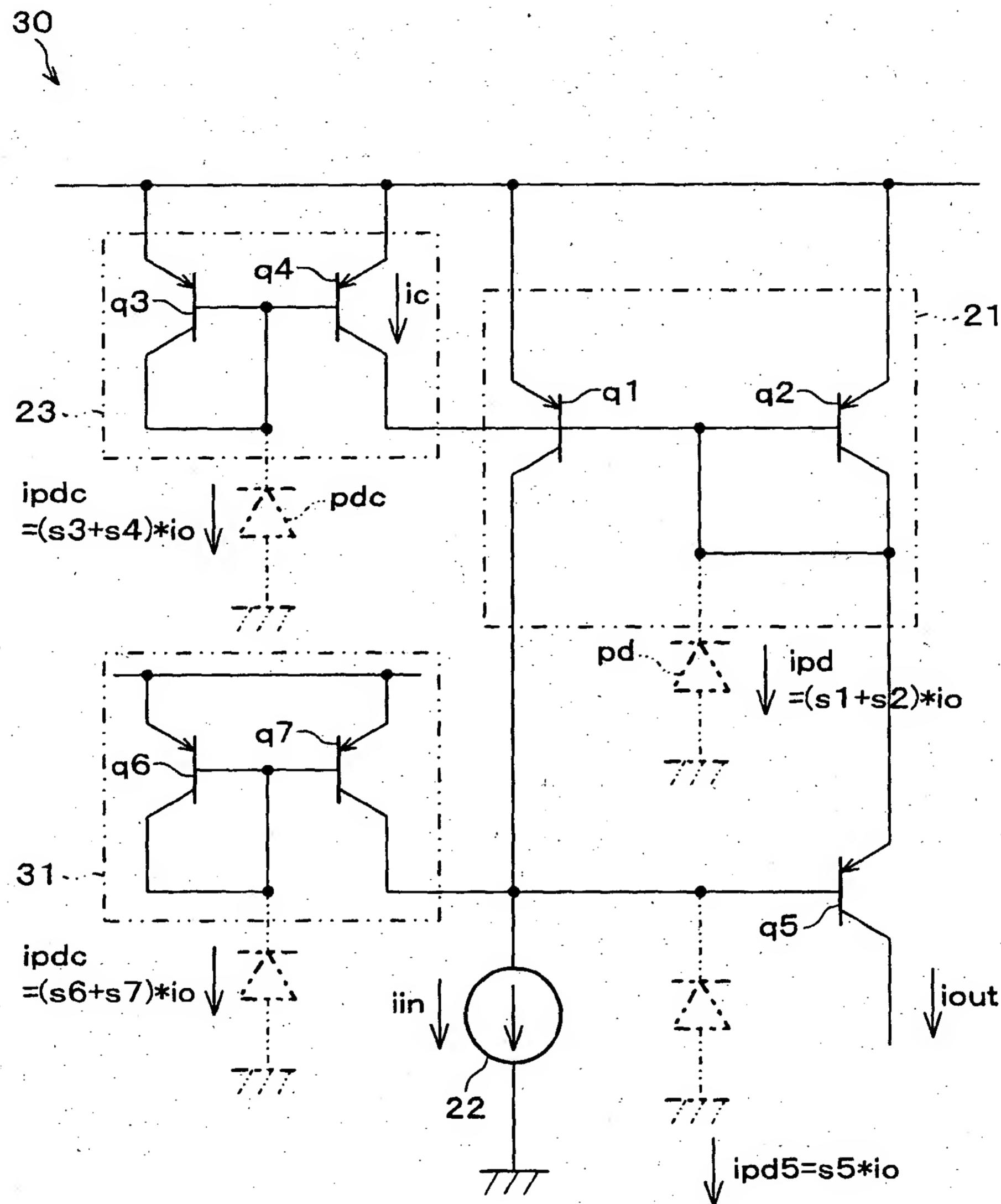
【図10】



【図1.1】



【図12】



【書類名】 要約書

【要約】

【課題】 集積回路内に構成されるカレントミラー回路40において、素子面積の増加を抑えつつ、また特別な遮光のための対策を講じることなく、集積回路の構造上、エピタキシャル層とサブストレート層との間に発生する寄生フォトダイオードPDの光電流IPDによる影響を除去する。

【解決手段】 前記寄生フォトダイオードPDが形成されてしまうトランジスタQ1, Q2がカレントミラー回路を構成する場合には、前記光電流IPDがエピタキシャル層の面積に比例して増大することに着目し、カレントミラーの電流比 $I_2/I_1$ に対応してエピタキシャル層S1, S2の面積を調整する。したがって、カレントミラー回路の入力側と出力側とに対する前記光電流の影響を等しく、すなわち相殺させることができる。

【選択図】 図1